

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takashi IPPOSHI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR WAFER

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☐ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-325368	October 25, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

James D. Hamilton
Registration No. 28,421



22850

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年10月25日

出願番号

Application Number:

特願2000-325368

出願人

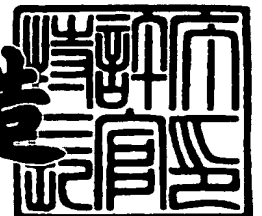
Applicant(s):

三菱電機株式会社

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3097335

【書類名】 特許願

【整理番号】 526531JP01

【提出日】 平成12年10月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/02

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 一法師 隆志

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 松本 拓治

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体ウェハ、その製造方法およびその製造装置

【特許請求の範囲】

【請求項 1】 結晶方位を示す切り欠きである結晶方位表示部が端部に形成された第 1 および第 2 の半導体ウェハを備え、

前記第 1 および第 2 の半導体ウェハにおいて前記結晶方位表示部は同じ結晶方位を示し、

前記結晶方位表示部同士が互いにずれた状態で前記第 1 および第 2 の半導体ウェハが貼り合わされた半導体ウェハ。

【請求項 2】 請求項 1 に記載の半導体ウェハであって、

前記第 1 および第 2 の半導体ウェハはともに (1 0 0) 面が主表面となる (1 0 0) ウェハであって、

前記結晶方位表示部同士が互いに 4 5° または 1 3 5° ずれている半導体ウェハ。

【請求項 3】 請求項 2 に記載の半導体ウェハであって、

前記第 1 の半導体ウェハは支持基板側ウェハであり、前記第 2 の半導体ウェハはデバイス形成側ウェハであって、

前記デバイス形成側ウェハの主表面には、ソース／ドレイン間のチャネル方向が結晶方位 < 1 0 0 > の方向に平行な MOS トランジスタを含む半導体装置が形成された半導体ウェハ。

【請求項 4】 第 1 の半導体ウェハと、

結晶方位を示す切り欠きである結晶方位表示部が端部に形成された第 2 の半導体ウェハとを備え、

前記第 1 の半導体ウェハの主表面の一部が前記第 2 の半導体ウェハの結晶方位表示部に露出するように前記第 1 および第 2 の半導体ウェハが貼り合わされ、

前記第 1 の半導体ウェハの主表面の前記一部に印字が付されている半導体ウェハ。

【請求項 5】 請求項 4 に記載の半導体ウェハであって、

前記第 1 の半導体ウェハの端部にも結晶方位を示す切り欠きである結晶方位表示部が形成され、

前記第 1 の半導体ウェハの前記結晶方位表示部と前記第 2 の半導体ウェハの前記結晶方位表示部とのなす角度が 180° である半導体ウェハ。

【請求項 6】 請求項 4 に記載の半導体ウェハであって、

前記第 1 の半導体ウェハは支持基板側ウェハであり、

前記第 2 の半導体ウェハは S O I 層用ウェハであって、

前記支持基板側ウェハおよび前記 S O I 層用ウェハのうち少なくとも一方の主表面には絶縁膜が形成された半導体ウェハ。

【請求項 7】 とともにバルク構造である第 1 および第 2 の半導体ウェハ

を備え、

結晶方位が互いにずれた状態で前記第 1 および第 2 の半導体ウェハが貼り合わされた半導体ウェハ。

【請求項 8】 請求項 7 に記載の半導体ウェハであって、

前記第 1 および第 2 の半導体ウェハはともに (100) 面が主表面となる (100) ウェハであって、

前記結晶方位が互いに 45° または 135° ずれている半導体ウェハ。

【請求項 9】 請求項 8 に記載の半導体ウェハであって、

前記第 1 の半導体ウェハは支持基板側ウェハであり、前記第 2 の半導体ウェハはデバイス形成側ウェハであって、

前記デバイス形成側ウェハの主表面には、ソース／ドレイン間のチャネル方向が結晶方位 $\langle 100 \rangle$ の方向に平行な MOS トランジスタを含む半導体装置が形

成された
半導体ウェハ。

【請求項 1 0】 請求項 7 に記載の半導体ウェハを製造する製造方法であって、

半導体基板の主表面から水素イオンを注入し、前記主表面から所定の深さの位置に結晶欠陥層を形成することにより前記第 2 の半導体ウェハを準備する工程（a）と、

前記第 1 および第 2 の半導体ウェハの結晶方位が互いにずれた状態で、前記第 2 の半導体ウェハの主表面を前記第 1 の半導体ウェハの主表面に貼り合わせる工程（b）と、

前記第 1 および第 2 の半導体ウェハに熱処理を行って前記第 2 の半導体ウェハを前記結晶欠陥層において分割する工程（c）と、

前記第 1 および第 2 の半導体ウェハのうち前記結晶欠陥層の存在した部分から研磨を行う工程（d）と
を備える半導体ウェハの製造方法。

【請求項 1 1】 請求項 7 に記載の半導体ウェハを製造する製造方法であって、

半導体基板の主表面に多孔質半導体層および半導体層を形成して前記第 2 の半導体ウェハを準備する工程（a）と、

前記第 1 および第 2 の半導体ウェハの結晶方位が互いにずれた状態で、前記第 2 の半導体ウェハの前記半導体層を前記第 1 の半導体ウェハの主表面に貼り合わせる工程（b）と、

前記半導体基板および前記多孔質半導体層を除去する工程（c）と
を備える半導体ウェハの製造方法。

【請求項 1 2】 請求項 1 に記載の半導体ウェハを製造する製造装置であって、

前記第 1 の半導体ウェハが載置される凹部が形成された支持台と、

前記第 1 および第 2 の半導体ウェハを貼り合わせる際に前記第 2 の半導体ウェハの位置合わせガイドとして用いられる、前記凹部を囲んで前記支持台上に設置

されたガイド部材と

を備え、

前記凹部の端部には前記第 1 の半導体ウェハの前記結晶方位表示部に当接する凸部が形成され、

前記ガイド部材には、前記第 2 の半導体ウェハの前記結晶方位表示部に当接することが可能な可動の凸部が設けられ、

前記凹部の端部に形成された前記凸部の位置と、前記ガイド部材に設けられた前記凸部の位置とは、所定の角度だけ互いにずれている半導体ウェハの製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、集積回路などがその表面に形成される半導体ウェハに関する。

【0002】

【従来の技術】

SOI (Silicon On Insulator) ウェハを、支持基板側ウェハと SOI 層用ウェハとを貼り合わせて製造する場合、SMART CUT法やELTRAN法などが用いられる

(SMART CUT法については例えば“SMART CUT:A PROMISING NEW SOI MATERIAL TECHNOLOGY” M.BRUEL et al.,Proceedings 1995 IEEE International SOI Conference,Oct.1995,pp.178-179を、ELTRAN法については例えば“HIGH-QUALITY EPITAXIAL LAYER TRANSFER(ELTRAN) BY BOND AND ETCH-BACK OF POROUS Si ” N.Sato et al.,Proceedings 1995 IEEE International SOI Conference,Oct.1995,pp.176-177 や“Water Jet Splitting of Thin Porous Si for ELTRAN” K.Ohmi et al.,Extended Abstracts of the 1999 International Conference on Solid State Devices and Materials,Tokyo,1999,pp.354-355を、それぞれ参照)。

【0003】

さて、図 1 7 は従来の SOI ウェハの一例を示す図である。なお、この SOI ウェハ 4 0 0 は (1 0 0) 面が主表面となる (1 0 0) ウェハである。また図 1 8 は、図 1 7 中の切断線 W-W における断面を示した図である。

【 0 0 0 4 】

図 1 7 および図 1 8 に示すようにこの S O I ウェハ 4 0 0 においては、例えばシリコン基板からなる支持基板側ウェハ 1 の一主表面に酸化膜層 2 が形成され、酸化膜層 2 の上面に S O I 層 3 が形成されている。この S O I 層 3 および酸化膜層 2 は、主表面に酸化膜が形成された S O I 層用ウェハが支持基板側ウェハ 1 に貼り合わされた後、その一部が除去されたことによって形成されたものである。なお、S O I 層 3 と酸化膜層 2 とはほぼ同じ径となるが、製法によっては両者の径が若干異なることもある。

【 0 0 0 5 】

そして、S O I 層 3 には、M O S (Metal Oxide Semiconductor) トランジスタ T R 1, T R 2 等のデバイス、およびそれらデバイス間を接続する配線などを含む半導体装置が形成される。なお、支持基板側ウェハ 1 および S O I 層 3 にはそれぞれ、結晶方位 $\langle 1 1 0 \rangle$ の方向にノッチ 1 a, 3 a が形成されている。また、図 1 7 ではウェハ面内の結晶方位 $\langle 1 0 0 \rangle$ および $\langle 1 1 0 \rangle$ をも合わせて表示している。

【 0 0 0 6 】

従来の S O I ウェハにおいては、M O S トランジスタのソース／ドレイン間のチャネル方向が結晶方位 $\langle 1 1 0 \rangle$ と平行になるように配置されるのが一般的であった。図 1 7 中の M O S トランジスタ T R 1, T R 2 がその一例である。なお、M O S トランジスタ T R 1, T R 2 中に示された記号 S はソースを、記号 D はドレインを、記号 G はゲートを、それぞれ示す。

【 0 0 0 7 】

しかし、チャネル方向を結晶方位 $\langle 1 0 0 \rangle$ と平行になるよう配置することで、トランジスタ特性を変化させることができる。具体的には、チャネル方向を結晶方位 $\langle 1 0 0 \rangle$ と平行に配置することにより、Pチャネル M O S トランジスタの電流駆動力が 1 5 パーセント程度向上し、さらに、短チャネル効果も小さくなることが分かっている。電流駆動力が向上する理由は、結晶方位 $\langle 1 0 0 \rangle$ の正孔の移動度の方が結晶方位 $\langle 1 1 0 \rangle$ のそれよりも大きいためであり、短チャネル効果が小さくなる理由は、結晶方位 $\langle 1 0 0 \rangle$ のボロンの拡散係数の値の方が

結晶方位 $\langle 110 \rangle$ のそれよりも小さいためと考えられている（参照文献：“Effect of $\langle 100 \rangle$ Channel Direction for High Performance SCE Immune pMOSFET with Less Than $0.15\mu\text{m}$ Gate Length” H. Sayama et al., IEDM99, pp.657-660）。

【0008】

【発明が解決しようとする課題】

さて、 (100) ウェハにおいてMOSトランジスタのチャネル方向を結晶方位 $\langle 100 \rangle$ と平行に配置する場合、従来の回路パターン用マスクや製造装置などを用いて回路形成するためには、ウェハの方向を 45° または 135° 回転させる必要がある。この際、従来の製造装置にウェハをそのまま適用できるように、ノッチやオリエンテーションフラットの方向を結晶方位 $\langle 110 \rangle$ から結晶方位 $\langle 100 \rangle$ へと変更することが望ましい。

【0009】

ところが、ウェハを単に 45° または 135° 回転させるだけでは、新たなデバイスの開発に支障をきたすことがある。以下にこのことを説明する。

【0010】

シリコン結晶等のダイヤモンド構造を有する結晶のウェハでは、その結晶面 $\{110\}$ または $\{111\}$ が劈開面である。特に (100) ウェハの場合、結晶面 $\{110\}$ が劈開面となる。

【0011】

デバイス開発の局面においては、ウェハに形成されたデバイスの断面構造を電子顕微鏡で観察することが行われるが、その場合、ウェハを劈開することが多い。劈開面以外の面を露出させようとする、ウェハに対してFIB (Focused Ion Beam) 装置等を用いてエッチングを行う必要があり、手間がかかって開発効率を下げってしまうからである。

【0012】

さて、 (100) ウェハを単に 45° または 135° 回転させて、その表面にチャネル方向が結晶方位 $\langle 100 \rangle$ に平行なMOSトランジスタを形成すると、図19に示すようになる。図19においては、結晶方位 $\langle 100 \rangle$ の方向にノッ

チ 3 0 a が形成されたウェハ 3 0 の (1 0 0) 面に、M O S トランジスタ T R 3 が形成されている。

【 0 0 1 3 】

このウェハ 3 0 を劈開した場合、結晶方位 $\langle 1 1 0 \rangle$ の方向に劈開面 C L が現れる。すると、M O S トランジスタ T R 3 のチャネル方向を結晶方位 $\langle 1 0 0 \rangle$ に平行に配置しているために、チャネルやゲートの方向に対して斜めに割れた M O S トランジスタ T R 3 の断面が現れる。そのため、チャネルやゲートの方向に対して斜めの断面構造を観察することになり、例えばゲート幅の評価等を正確に行うことが難しくなる。

【 0 0 1 4 】

また図 2 0 は、メモリ等のセル C E をマトリクス状に配置したメモリセルアレイデバイス A R を、チャネル方向が結晶方位 $\langle 1 0 0 \rangle$ に平行になるようにしてウェハ 3 0 に形成した場合の例を示したものである。この場合も、結晶方位 $\langle 1 1 0 \rangle$ の方向に劈開面 C L が現れるので、チャネルやゲートの方向に対して斜めの断面構造を観察することになり、例えば各セルの断面構造の周期性の評価等を正確に行うことが難しくなる。

【 0 0 1 5 】

すなわち、ウェハを単に 45° または 135° 回転させてデバイスを形成するだけでは、所望する断面構造を劈開により露出させることが困難であり、新たなデバイスの開発に支障をきたすのである。

【 0 0 1 6 】

そこで、S O I ウェハの場合には、デバイス形成側ウェハたる S O I 層用ウェハだけを 45° 回転させて支持基板側ウェハに貼り付けて製造することが考えられる。すなわち、図 2 1 に示すように、結晶方位 $\langle 1 0 0 \rangle$ の方向にノッチ 3 0 a を有する (1 0 0) ウェハの S O I 層用ウェハ 3 0 を、結晶方位 $\langle 1 1 0 \rangle$ の方向にノッチ 1 a を有する (1 0 0) ウェハの支持基板側ウェハ 1 に貼り合わせ、S O I ウェハ 5 0 0 を製造すればよい。そうすれば、劈開時にはウェハ厚の大部分を占める支持基板側ウェハ 1 の劈開面に沿ってウェハを割ることができ、かつ、チャネル方向が結晶方位 $\langle 1 0 0 \rangle$ に平行な M O S トランジスタを形成す

ることができる。

【0017】

ところが、この場合、SOI層用ウェハ30には結晶方位<100>の方向にノッチ30aを設け、支持基板側ウェハ1には結晶方位<110>の方向にノッチ1aを設けるために、ノッチの方向の違いで2種類の半導体ウェハを用意する必要がある。そのため、製造工程が煩雑となる。

【0018】

そこで、この発明の課題は、支持基板側ウェハとデバイス形成側ウェハとで結晶方位がずれた半導体ウェハであって、ノッチやオリエンテーションフラットの付される結晶方位が異なる2種類の半導体ウェハを用意しなくてもよいものを提供することにある。

【0019】

【課題を解決するための手段】

請求項1に記載の発明は、結晶方位を示す切り欠きである結晶方位表示部が端部に形成された第1および第2の半導体ウェハを備え、前記第1および第2の半導体ウェハにおいて前記結晶方位表示部は同じ結晶方位を示し、前記結晶方位表示部同士が互いにずれた状態で前記第1および第2の半導体ウェハが貼り合わされた半導体ウェハである。

【0020】

請求項2に記載の発明は、請求項1に記載の半導体ウェハであって、前記第1および第2の半導体ウェハはともに(100)面が主表面となる(100)ウェハであって、前記結晶方位表示部同士が互いに45°または135°ずれている半導体ウェハである。

【0021】

請求項3に記載の発明は、請求項2に記載の半導体ウェハであって、前記第1の半導体ウェハは支持基板側ウェハであり、前記第2の半導体ウェハはデバイス形成側ウェハであって、前記デバイス形成側ウェハの主表面には、ソース／ドレイン間のチャネル方向が結晶方位<100>の方向に平行なMOSトランジスタを含む半導体装置が形成された半導体ウェハである。

【 0 0 2 2 】

請求項 4 に記載の発明は、第 1 の半導体ウェハと、結晶方位を示す切り欠きである結晶方位表示部が端部に形成された第 2 の半導体ウェハとを備え、前記第 1 の半導体ウェハの主表面の一部が前記第 2 の半導体ウェハの結晶方位表示部に露出するように前記第 1 および第 2 の半導体ウェハが貼り合わされ、前記第 1 の半導体ウェハの主表面の前記一部に印字が付されている半導体ウェハである。

【 0 0 2 3 】

請求項 5 に記載の発明は、請求項 4 に記載の半導体ウェハであって、前記第 1 の半導体ウェハの端部にも結晶方位を示す切り欠きである結晶方位表示部が形成され、前記第 1 の半導体ウェハの前記結晶方位表示部と前記第 2 の半導体ウェハの前記結晶方位表示部とのなす角度が 180° である半導体ウェハである。

【 0 0 2 4 】

請求項 6 に記載の発明は、請求項 4 に記載の半導体ウェハであって、前記第 1 の半導体ウェハは支持基板側ウェハであり、前記第 2 の半導体ウェハは S O I 層用ウェハであって、前記支持基板側ウェハおよび前記 S O I 層用ウェハのうち少なくとも一方の主表面には絶縁膜が形成された半導体ウェハである。

【 0 0 2 5 】

請求項 7 に記載の発明は、ともにバルク構造である第 1 および第 2 の半導体ウェハを備え、結晶方位が互いにずれた状態で前記第 1 および第 2 の半導体ウェハが貼り合わされた半導体ウェハである。

【 0 0 2 6 】

請求項 8 に記載の発明は、請求項 7 に記載の半導体ウェハであって、前記第 1 および第 2 の半導体ウェハはともに (1 0 0) 面が主表面となる (1 0 0) ウェハであって、前記結晶方位が互いに 45° または 135° ずれている半導体ウェハである。

【 0 0 2 7 】

請求項 9 に記載の発明は、請求項 8 に記載の半導体ウェハであって、前記第 1 の半導体ウェハは支持基板側ウェハであり、前記第 2 の半導体ウェハはデバイス形成側ウェハであって、前記デバイス形成側ウェハの主表面には、ソース／ドレ

イン間のチャネル方向が結晶方位<1 0 0>の方向に平行なM O S トランジスタを含む半導体装置が形成された半導体ウェハである。

【 0 0 2 8 】

請求項 1 0 に記載の発明は、請求項 7 に記載の半導体ウェハを製造する製造方法であって、半導体基板の主表面から水素イオンを注入し、前記主表面から所定の深さの位置に結晶欠陥層を形成することにより前記第 2 の半導体ウェハを準備する工程（a）と、前記第 1 および第 2 の半導体ウェハの結晶方位が互いにずれた状態で、前記第 2 の半導体ウェハの主表面を前記第 1 の半導体ウェハの主表面に貼り合わせる工程（b）と、前記第 1 および第 2 の半導体ウェハに熱処理を行って前記第 2 の半導体ウェハを前記結晶欠陥層において分割する工程（c）と、前記第 1 および第 2 の半導体ウェハのうち前記結晶欠陥層の存在した部分から研磨を行う工程（d）とを備える半導体ウェハの製造方法である。

【 0 0 2 9 】

請求項 1 1 に記載の発明は、請求項 7 に記載の半導体ウェハを製造する製造方法であって、半導体基板の主表面に多孔質半導体層および半導体層を形成して前記第 2 の半導体ウェハを準備する工程（a）と、前記第 1 および第 2 の半導体ウェハの結晶方位が互いにずれた状態で、前記第 2 の半導体ウェハの前記半導体層を前記第 1 の半導体ウェハの主表面に貼り合わせる工程（b）と、前記半導体基板および前記多孔質半導体層を除去する工程（c）とを備える半導体ウェハの製造方法である。

【 0 0 3 0 】

請求項 1 2 に記載の発明は、請求項 1 に記載の半導体ウェハを製造する製造装置であって、前記第 1 の半導体ウェハが載置される凹部が形成された支持台と、前記第 1 および第 2 の半導体ウェハを貼り合わせる際に前記第 2 の半導体ウェハの位置合わせガイドとして用いられる、前記凹部を囲んで前記支持台上に設置されたガイド部材とを備え、前記凹部の端部には前記第 1 の半導体ウェハの前記結晶方位表示部に当接する凸部が形成され、前記ガイド部材には、前記第 2 の半導体ウェハの前記結晶方位表示部に当接することが可能な可動の凸部が設けられ、前記凹部の端部に形成された前記凸部の位置と、前記ガイド部材に設けられた前

記凸部の位置とは、所定の角度だけ互いにずれている半導体ウェハの製造装置である。

【 0 0 3 1 】

【 発明の実施の形態 】

＜ 実施の形態 1 ＞

本実施の形態は、同じ結晶方位にノッチやオリエンテーションフラットが付された2枚の半導体ウェハの一方を支持基板側ウェハとし、他方をデバイス形成側ウェハとして、ノッチやオリエンテーションフラット同士が互いにずれた状態で両ウェハを貼り合わせることにより、ノッチやオリエンテーションフラットの付される結晶方位が異なる2種類の半導体ウェハを用意しなくてもよい半導体ウェハを実現するものである。

【 0 0 3 2 】

図1は本実施の形態に係る半導体ウェハ100を示す図である。また図2は、図1中の切断線X-Xにおける断面を示した図である。

【 0 0 3 3 】

この半導体ウェハ100はSOIウェハであり、また、(100)面が主表面となる(100)ウェハである。このSOIウェハ100においては、例えばシリコン基板からなる支持基板側ウェハ1の主表面に酸化膜層2が形成され、酸化膜層2の上面にSOI層3が形成されている。このSOI層3および酸化膜層2は、デバイス形成側ウェハたるSOI層用ウェハの主表面に酸化膜が形成され、そのSOI層用ウェハが支持基板側ウェハ1に貼り合わされた後、その一部が除去されたことによって形成されたものである。なお、支持基板側ウェハ1およびSOI層用ウェハはともに(100)ウェハである。また、SOI層3と酸化膜層2とはほぼ同じ径となるが、製法によっては両者の径が若干異なることもある。

【 0 0 3 4 】

支持基板側ウェハ1およびSOI層3にはそれぞれ、結晶方位<110>の方向にノッチ1a, 3aが形成されている。ただし、本実施の形態に係る半導体ウェハ100では、図17に示した従来のSOIウェハ400とは異なり、ノッチ

の位置を支持基板側ウェハ1とSOI層3との間で45°ずらしている。すなわち、図1に示すように、支持基板側ウェハ1のノッチ1aもSOI層3のノッチ3aも、ともに同じ結晶方位 $\langle 110 \rangle$ を示しており、かつ、ノッチ同士が互いに45°ずれた状態で貼り合わされて半導体ウェハ100が形成されている。

【0035】

図17や図21に示した従来のSOIウェハにおいては、支持基板側ウェハとSOI層用ウェハとで、ノッチやオリエンテーションフラットを一致させて貼り合わせていた。しかし、本実施の形態においては、ノッチ同士が互いにずれた状態で支持基板側ウェハ1およびSOI層用ウェハが貼り合わされているので、同じ結晶方位 $\langle 100 \rangle$ にノッチが付された2枚の半導体ウェハの一方を支持基板側ウェハとし、他方をデバイス形成側ウェハたるSOI層用ウェハとして、支持基板側ウェハとデバイス形成側ウェハとで結晶方位を異ならしめることができる。よって、ノッチやオリエンテーションフラットの付される結晶方位が異なる2種類の半導体ウェハを用意する必要がない。

【0036】

なお、SOI層3に、MOSトランジスタTR1等のデバイス、およびそれらデバイス間を接続する配線などを含む半導体装置を形成する際、ノッチ1aを用いて従来の手法を援用することにより、MOSトランジスタTR1を、そのソース/ドレイン間のチャネル方向が結晶方位 $\langle 100 \rangle$ と平行となるように配置することができる。図1において、MOSトランジスタTR1中に示された記号Sはソースを、記号Dはドレインを、記号Gはゲートを、それぞれ示す。

【0037】

また、支持基板側ウェハ1とSOI層3との間で、ノッチが互いに45°ずれていることで、ウェハ厚の大部分を占める支持基板側ウェハ1の劈開面である結晶面 $\{110\}$ に沿って劈開して、SOI層用ウェハの一部たるSOI層3の結晶面 $\{100\}$ を露出させることができる。これにより、MOSトランジスタTR1を含む半導体装置の断面構造を、チャネルやゲートの方向に対して直角または平行に見ることができる。そのため、例えばゲート幅の評価等を正確に行うことができる。

【 0 0 3 8 】

なお、支持基板側ウェハ1とSOI層3との間で、ノッチが互いに135°ずれている場合も、上記と同様である。

【 0 0 3 9 】

また、図1においてSOI層3および酸化膜層2の径は、支持基板側ウェハ1の径よりも小さく表示されている。これは、支持基板側ウェハとSOI層用ウェハとで同じ径のものを用いるものの、最終形状ではSOI層3の径が支持基板側ウェハ1の径よりもひとまわり小さくなってしまっていることを示している。ウェハ周縁部ではウェハ表面が平坦でないために、ウェハ周縁部の接着が充分に行われないう。そのため、例えばSMART CUT法などを行う場合、SOI層用ウェハを剥離するときにウェハ周縁部も除去されてしまう。よって、結果的にSOI層3および酸化膜層2の径が支持基板側ウェハ1の径よりもひとまわり小さくなるのである。

【 0 0 4 0 】

なお、支持基板側ウェハとSOI層用ウェハとで同じ径のものを用いて貼り合わせを行うことが一般的であるが、両ウェハで径が異なる場合であってもよい。また、本実施の形態においては、SOI層用ウェハの主表面に酸化膜が形成され、そのSOI層用ウェハが支持基板側ウェハに貼り合わされて形成されたSOIウェハの場合を例に採ったが、他にも、支持基板側ウェハに酸化膜が形成され、そこにSOI層用ウェハが貼り合わされて形成されたSOIウェハや、SOI層用ウェハおよび支持基板側ウェハの両方に酸化膜が形成され、酸化膜同士が貼り合わされて形成されたSOIウェハを採用してもよい。

【 0 0 4 1 】

また、本実施の形態では、例としてノッチが形成された半導体ウェハの場合を示したが、その他にもオリエンテーションフラットやその他の結晶方位を示す切り欠きが形成された半導体ウェハについても上記と同様な構成をとれば、本実施の形態にかかる半導体ウェハの有する効果をする。

【 0 0 4 2 】

<実施の形態2>

本実施の形態は、支持基板側ウェハの主表面のうちSOI層用ウェハのオリエンテーションフラットに露出した部分にレーザーによって印字を付して、他と区別の付きやすい半導体ウェハを実現するものである。さらに、支持基板側ウェハのノッチとSOI層用ウェハのオリエンテーションフラットとのなす角度を 180° にして、ノッチを下側に揃えた状態で複数の半導体ウェハをケース内に収めたときに、ケース外から印字部分を見えやすくした半導体ウェハを実現するものである。

【0043】

図3は本実施の形態に係る半導体ウェハ200を示す図である。この半導体ウェハ200も実施の形態1におけると同様、SOIウェハであり、また、(100)面が主表面となる(100)ウェハである。このSOIウェハ200においても、例えばシリコン基板からなる支持基板側ウェハ1の一主表面に酸化膜層2が形成され、酸化膜層2の上面にSOI層31が形成されている。このSOI層31および酸化膜層2は、デバイス形成側ウェハたるSOI層用ウェハの主表面に酸化膜が形成され、そのSOI層用ウェハが支持基板側ウェハ1に貼り合わされた後、その一部が除去されたことによって形成されたものである。なお、支持基板側ウェハ1およびSOI層用ウェハはともに(100)ウェハである。

【0044】

そして、SOI層31には、MOSトランジスタTR1等のデバイス、およびそれらデバイス間を接続する配線などを含む半導体装置が形成される。

【0045】

支持基板側ウェハ1およびSOI層31にはそれぞれ、結晶方位 $\langle 110 \rangle$ の方向にノッチ1aおよびオリエンテーションフラット31aが形成されている。ただし、本実施の形態に係る半導体ウェハでは、ノッチ1aおよびオリエンテーションフラット31aの位置を、支持基板側ウェハ1とSOI層31との間で 180° ずらしている。すなわち、図3に示すように、支持基板側ウェハ1のノッチ1aもSOI層31のオリエンテーションフラット31aも、ともに同じ結晶方位 $\langle 110 \rangle$ を示しており、かつ、ノッチ1aおよびオリエンテーションフラット31a同士が互いに 180° ずれた状態で貼り合わされて半導体ウェハ200

0.が形成されている。

【0046】

そして、支持基板側ウェハ1の主表面の一部がSOI層31のオリエンテーションフラット部31aに露出するように、支持基板側ウェハ1およびSOI層31が貼り合わされている。

【0047】

さらに、支持基板側ウェハ1の主表面のうち、オリエンテーションフラット部31aに露出した部分には、レーザーによって「LOT NO. 009」との印字LSが付されている。このようにすれば、SOI層31の(100)面の方から半導体ウェハを見たときに印字LSを見ることができ、半導体ウェハの区別がつきやすい。また、支持基板側ウェハ1の主表面のうちオリエンテーションフラット31aに露出した部分を印字スペースとして有効に利用することができる。

【0048】

また、支持基板側ウェハ1のノッチ1aとSOI層31のオリエンテーションフラット31aとのなす角度が180°であるので、半導体ウェハの検査工程等において、ノッチ1aを下側に揃えた状態で複数の半導体ウェハをケース内に収めたときに、ケース外から印字LSの部分が見えやすく半導体ウェハの区別がつきやすい。

【0049】

なお、SOI構造の半導体ウェハの場合、レーザーによってSOI層表面に印字を付そうとするとレーザーによる加熱の影響でSOI層の剥離が生じやすいという問題があった。しかし、本実施の形態のように、SOI層ではなく、支持基板側ウェハ1の主表面のうちSOI層31のオリエンテーションフラット部31aに露出した部分にであれば、レーザーによる印字を行っても、SOI層の剥離が生じる可能性が少ない。

【0050】

なお、本実施の形態においては、支持基板側ウェハ1にはノッチ1aを採用し、SOI層31にはオリエンテーションフラット31aを採用したが、支持基板側ウェハ1にオリエンテーションフラットを設けてSOI層31にノッチを設け

る、或いは、支持基板側ウェハ1およびSOI層31のいずれにもオリエンテーションフラットを設ける、などしてもよい。

【0051】

なお、図4は、オリエンテーションフラット31aとノッチ1aとを 135° ずらして、実施の形態1にかかる半導体ウェハと同様の効果をもたらすようにした半導体ウェハ201である。この場合もちろん、支持基板側ウェハ1の主表面のうち、オリエンテーションフラット部31aに露出した部分に印字LSを付してもよい。

【0052】

<実施の形態3>

本実施の形態は、SOI構造ではなくバルク構造の半導体ウェハに対しても、その表面側とウェハ内奥部とで結晶方位を異ならしめるようにした半導体ウェハである。

【0053】

上述したように、(100)ウェハにおいてMOSトランジスタのチャネル方向を結晶方位<100>と平行に配置する場合、ウェハを単に 45° または 135° 回転させるだけでは、新たなデバイスの開発に支障をきたす。このことはSOIウェハだけでなく、バルクウェハに対しても当てはまる。

【0054】

そこで、本実施の形態においては、支持基板側ウェハとデバイス形成側ウェハとを貼り合わせ、デバイス形成側ウェハの一部をデバイス形成層として用いることにより、結晶方位がその表面側とウェハ内奥部とで異なるバルクウェハを形成する。

【0055】

図5は本実施の形態に係る半導体ウェハ300を示す図である。また図6は、図5中の切断線Y-Yにおける断面を示した図である。この半導体ウェハ300はバルクウェハであり、また(100)面が主表面となる(100)ウェハである。

【0056】

本実施の形態にかかる半導体ウェハ 3 0 0 においては、例えばシリコン基板からなる支持基板側ウェハ 1 1 の一主表面に、デバイス形成層 3 2 が形成されている。このデバイス形成層 3 2 は、例えばシリコン基板からなるデバイス形成側ウェハが支持基板側ウェハ 1 1 に貼り合わされた後、その一部が除去されたことによって形成されたものである。なお、支持基板側ウェハ 1 1 およびデバイス形成側ウェハはともに (1 0 0) ウェハである。また、2 0 . 3 2 c m 径のウェハの場合で、支持基板側ウェハ 1 1 の厚さ T 2 は例えば 7 0 0 μ m 程度、デバイス形成層 3 2 の厚さ T 1 は例えば 0 . 1 ~ 数 μ m 程度としておけばよい。

【 0 0 5 7 】

支持基板側ウェハ 1 1 およびデバイス形成層 3 2 にはそれぞれ、結晶方位 $\langle 1 1 0 \rangle$ の方向にノッチ 1 1 a , 3 2 a が形成されている。本実施の形態に係る半導体ウェハ 3 0 0 においても、実施の形態 1 にかかる半導体ウェハ 1 0 0 と同様、ノッチの位置を支持基板側ウェハ 1 1 とデバイス形成層 3 2 との間で 4 5 ° ずらしている。すなわち、図 5 に示すように、支持基板側ウェハ 1 1 のノッチ 1 1 a もデバイス形成層 3 2 のノッチ 3 2 a も、ともに同じ結晶方位 $\langle 1 1 0 \rangle$ を示しており、かつ、ノッチ同士が互いに 4 5 ° ずれた状態で貼り合わされて半導体ウェハが形成されている。

【 0 0 5 8 】

本実施の形態に係る半導体ウェハによれば、結晶方位が互いにずれた状態でバルク構造の支持基板側ウェハとデバイス形成側ウェハとが貼り合わされているので、支持基板側ウェハとデバイス形成側ウェハとで結晶方位を異ならしめることができる。

【 0 0 5 9 】

そして、ノッチ同士が互いにずれた状態で支持基板側ウェハ 1 1 およびデバイス形成側ウェハが貼り合わされているので、同じ結晶方位 $\langle 1 0 0 \rangle$ にノッチが付された 2 枚の半導体ウェハの一方を支持基板側ウェハとし、他方をデバイス形成側ウェハとして、支持基板側ウェハとデバイス形成側ウェハとで結晶方位を異ならしめることができる。よって、ノッチやオリエンテーションフラットの付される結晶方位が異なる 2 種類の半導体ウェハを用意する必要がない。

【 0 0 6 0 】

そして、デバイス形成層 3 2 には、MOS トランジスタ TR 1 等のデバイス、およびそれらデバイス間を接続する配線などを含む半導体装置が形成される。なお、実施の形態 1 と同様にして、MOS トランジスタ TR 1 を、そのソース／ドレイン間のチャネル方向が結晶方位 $\langle 1 0 0 \rangle$ と平行となるように形成できる。MOS トランジスタ TR 1 中に示された記号 S はソースを、記号 D はドレインを、記号 G はゲートを、それぞれ示す。

【 0 0 6 1 】

また、支持基板側ウェハ 1 1 とデバイス形成層 3 2 との間で、ノッチが互いに 45° ずれていることで、支持基板側ウェハ 1 1 の劈開面である結晶面 $\{1 1 0\}$ に沿って劈開して、デバイス形成側ウェハの一部たるデバイス形成層 3 2 の結晶面 $\{1 0 0\}$ を露出させることができる。そして、デバイス形成層 3 2 の主表面には、ソース／ドレイン間のチャネル方向が結晶方位 $\langle 1 0 0 \rangle$ の方向に平行な MOS トランジスタ TR 1 を含む半導体装置が形成されているので、支持基板側ウェハ 1 1 の劈開面である結晶面 $\{1 1 0\}$ に沿って劈開したときに、デバイス形成層 3 2 の結晶面 $\{1 0 0\}$ を露出させて、MOS トランジスタ TR 1 を含む半導体装置の断面構造を、チャネルやゲートの方向に対して直角または平行に見ることができる。そのため、例えばゲート幅の評価等を正確に行うことができる。

【 0 0 6 2 】

なお、支持基板側ウェハ 1 1 とデバイス形成層 3 2 との間で、ノッチが互いに 135° ずれている場合も、上記と同様である。

【 0 0 6 3 】

また、図 5 においてもデバイス形成層 3 2 の径が、支持基板側ウェハ 1 1 の径よりも小さく表示されているが、これは実施の形態 1 に係る半導体ウェハの場合と同様の理由からである。

【 0 0 6 4 】

なお、本実施の形態においても支持基板側ウェハとデバイス形成側ウェハとで同じ径のものをを用いて貼り合わせを行うのであるが、両ウェハで径が異なる場合

であってもよい。

【 0 0 6 5 】

また、本実施の形態では、例としてノッチが形成された半導体ウェハの場合を示したが、その他にもオリエンテーションフラットやその他結晶方位を示す切り欠きが形成された半導体ウェハであってもよい。さらに、結晶方位を正確にずらすことが可能であるならば、ノッチやオリエンテーションフラットを有しない2枚の半導体ウェハを、支持基板側ウェハおよびデバイス形成側ウェハとして用いてもよい。

【 0 0 6 6 】

<実施の形態 4>

本実施の形態は、実施の形態 3 にかかる半導体ウェハ 3 0 0 を製造する製造方法について説明するものである。実施の形態 3 にかかる半導体ウェハ 3 0 0 は、上記の SMART CUT 法や ELTRAN 法を応用することにより製造できる。

【 0 0 6 7 】

まず、SMART CUT 法を応用した製造方法について述べる。図 7 に示すようにシリコンウェハ等のデバイス形成側ウェハ 3 2 0 を用意し、主表面から水素イオン注入 I P を行って所定の深さ D P 1 の位置（デバイス形成層 3 2 の厚さ T 1 に相当する位置）に結晶欠陥層 D F を形成する。

【 0 0 6 8 】

次に、図 8 に示すように、デバイス形成層 3 2 となる部分の主表面を支持基板側ウェハ 1 1 の主表面に貼り合わせる。図 8 では貼り合わせ面を符号 B D で表している。なおこのとき、支持基板側ウェハ 1 1 とデバイス形成側ウェハ 3 2 0 とを、所定の角度（例えば 45° ）だけずらして貼り合わせておく。

【 0 0 6 9 】

次に、熱処理を行って結晶欠陥層 D F を脆弱化させ、図 9 に示すように結晶欠陥層 D F においてデバイス形成側ウェハ 3 2 0 を分割する。このとき、デバイス形成側ウェハ 3 2 0 のうち接着強度の弱い周縁部も除去される。なお、図 9 においては分割面を記号 D T で示している。

【 0 0 7 0 】

そして、図 1 0 の状態で熱処理を追加してデバイス形成層 3 2 と支持基板側ウェハ 1 1 との貼り合わせ強度を上昇させ、デバイス形成層 3 2 の表面を軽研磨して残存する結晶欠陥層の除去を行う。そうすれば図 6 に示した半導体ウェハ 3 0 0 が得られる。なお、この後、デバイス形成層 3 2 の表面を犠牲酸化するなどして、その表面を保護しておけばよい。

【 0 0 7 1 】

次に、ELTRAN法を応用した製造方法について述べる。ここでは例としてウォータージェットを用いたELTRAN法を応用する場合を説明する。まず、図 1 1 に示すように、シリコンウェハ等のデバイス形成側ウェハ 3 2 1 を用意し、 $\text{HF}/\text{C}_2\text{H}_5\text{OH}$ 混合の電離液中でいわゆる陽極化成を行って、その主表面に多孔質シリコン層 P S を形成する。そして、多孔質シリコン層 P S の表面にシリコン層などのデバイス形成層 3 2 を C V D (Chemical Vapor Deposition) 法等によりエピタキシャル成長させて形成する。

【 0 0 7 2 】

次に、図 1 2 に示すように、デバイス形成層 3 2 となる部分の主表面を支持基板側ウェハ 1 1 の主表面に貼り合わせる。図 1 1 では貼り合わせ面を符号 B D で表している。なおこのとき、支持基板側ウェハ 1 1 とデバイス形成側ウェハ 3 2 1 とを、所定の角度（例えば 45° ）だけずらして貼り合わせておく。

【 0 0 7 3 】

次に、図 1 3 に示すようにウォータージェット（高圧水）を多孔質シリコン層 P S に浴びせて、ウェハに損傷を与えることなくデバイス形成側ウェハ 3 2 1 を分割する。このとき、デバイス形成側ウェハ 3 2 1 のうち接着強度の弱い周縁部も除去される。なお、図 1 3 においては分割面を記号 D T で示している。

【 0 0 7 4 】

そして、図 1 4 の状態で熱処理を追加してデバイス形成層 3 2 と支持基板側ウェハ 1 1 との貼り合わせ強度を上昇させ、デバイス形成層 3 2 の表面を軽研磨して残存する多孔質シリコン層の除去を行う。そうすれば図 6 に示した半導体ウェハ 3 0 0 が得られる。なお、この後、デバイス形成層 3 2 の表面を犠牲酸化するなどして、その表面を保護しておけばよい。

【 0 0 7 5 】

上記のような半導体ウェハの製造方法によれば、実施の形態 3 にかかる半導体ウェハ 3 0 0 を得ることができる。

【 0 0 7 6 】

なお、支持基板側ウェハ 1 1 とデバイス形成側ウェハ 3 2 0 または 3 2 1 とを所定の角度だけずらして貼り合わせることは、技術的に難しくはない。現状では、ウェハのノッチやオリエンテーションフラットの位置を検出する装置が、多くの半導体製造装置に適用されている。また、S O I ウェハの形成の際には、2 つのアームを備えたウェハ貼り合わせ装置を用いて 2 枚のウェハの貼り合わせが行われている。よって、これら位置検出装置とウェハ貼り合わせ装置とを合わせ用いることで、所定の角度だけずらして 2 枚のウェハを貼り合わせることは容易に実現できる。

【 0 0 7 7 】

なお、現状の半導体ウェハでは、ノッチ形成やオリエンテーションフラット形成の位置精度は $\pm 2^{\circ}$ 程度である。よって、支持基板側ウェハ 1 1 とデバイス形成側ウェハ 3 2 0 または 3 2 1 との間で、結晶方位を例えば $4 5^{\circ}$ ずらせる際には、この程度の誤差は許容範囲であると考えられる。

【 0 0 7 8 】

このことを考慮すれば、貼り合わせ時には、ノッチやオリエンテーションフラットの位置を厳密に制御する必要はなく、ウェハガイドを用いた簡単な貼り合わせ装置でも十分に適用可能であると考えられる。そのような半導体ウェハの製造装置の例を以下に示す。

【 0 0 7 9 】

図 1 5 は、支持基板側ウェハ 1 1 とデバイス形成側ウェハ 3 2 0 または 3 2 1 との間で、互いのノッチ 1 1 a, 3 2 a を $4 5^{\circ}$ ずらせて貼り合わせることが可能な半導体ウェハ製造装置である。また図 1 6 は、図 1 5 中の切断線 Z - Z における断面を示した図である。

【 0 0 8 0 】

この製造装置は、支持基板側ウェハ 1 1 を支持する支持台 H D と、デバイス形

成側ウェハ 3 2 0 または 3 2 1 の貼り合わせ時の位置合わせガイドとして用いられるウェハガイド G D 2 と、半導体ウェハを吸引して把持するエアピン A P とを備えている。なお、図 1 5 および図 1 6 では、デバイス形成側ウェハ 3 2 0 をこの製造装置に適用した場合を示している。また、図 1 5 においてはデバイス形成側ウェハ 3 2 0 を破線で表示し、その下側に位置する支持基板側ウェハ 1 1 を明示している。

【 0 0 8 1 】

支持台 H D には、支持基板側ウェハ 1 1 が載置される凹部 H L が形成されている。そして、凹部 H L の端部には図 1 5 に示すように、支持基板側ウェハ 1 1 が載置されたときにそのノッチ 1 1 a に当接する凸部 H L a が形成されている。なお、この凹部 H L の深さ D P 2 は、支持基板側ウェハ 1 1 の厚さよりも小さくなるよう設定しておけばよい。

【 0 0 8 2 】

また、ウェハガイド G D 2 は、凹部 H L を囲んで支持台 H D の上に設置されたガイド部材である。このウェハガイド G D 2 には、デバイス形成側ウェハ 3 2 0 または 3 2 1 のノッチ 3 2 a に当接することが可能な可動の凸部 G D 1 が設けられている。そして、この凸部 G D 1 と支持台 H D の凹部 H L に形成された凸部 H L a の位置とが 45° だけ互いにずれるよう、ウェハガイド G D 2 は設置される。

【 0 0 8 3 】

この製造装置においては、まず、支持基板側ウェハ 1 1 を支持台 H D の凹部 H L に載置し、その後、凸部 G D 1 をウェハガイド G D 2 から突出させる。そして、エアピン A P でデバイス形成側ウェハ 3 2 0 または 3 2 1 を把持し、ノッチ 3 2 a を凸部 G D 1 に当接させつつ降下させ、支持基板側ウェハ 1 1 への貼り合わせを行う。そして、凸部 G D 1 をウェハガイド G D 2 に収納し、貼り合わされた支持基板側ウェハ 1 1 およびデバイス形成側ウェハ 3 2 0 または 3 2 1 を、エアピン A P により引き上げて取り出す。

【 0 0 8 4 】

なお、凹部 H L の深さ D P 2 は支持基板側ウェハ 1 1 の厚さよりも小さいので

、支持基板側ウェハ 1 1 を凹部 H L 内に載置したときには、支持基板側ウェハ 1 1 は支持台 H D の表面よりも若干突出する。そのため、凸部 G D 1 がウェハガイド G D 2 から突出したときに、凸部 G D 1 の底面と支持基板側ウェハ 1 1 の表面とが離れ過ぎないようにすることができ、ノッチ 3 2 a への凸部 G D 1 の当接状態を確実に保ちつつデバイス形成側ウェハ 3 2 0 または 3 2 1 を降下させることができる。

【 0 0 8 5 】

この半導体ウェハ製造装置を用いれば、凹部 H L の端部に形成された凸部 H L a の位置と、ウェハガイド G D 2 に設けられた凸部 G D 1 の位置とが、所定の角度だけ互いにずれているので、支持基板側ウェハおよびデバイス形成側ウェハを所定の角度だけずらして貼り合わせることができ、実施の形態 3 にかかる半導体ウェハが得られる。また、実施の形態 1 および 2 にかかる半導体ウェハも同様にして得られる。

【 0 0 8 6 】

【発明の効果】

請求項 1 に記載の発明によれば、結晶方位表示部同士が互いにずれた状態で第 1 および第 2 の半導体ウェハが貼り合わされているので、同じ結晶方位に結晶方位表示部が付された 2 枚の半導体ウェハの一方を支持基板側ウェハとし、他方をデバイス形成側ウェハとして、支持基板側ウェハとデバイス形成側ウェハとで結晶方位を異ならしめることができる。よって、結晶方位表示部の付される結晶方位が異なる 2 種類の半導体ウェハを用意する必要がない。

【 0 0 8 7 】

請求項 2 に記載の発明によれば、第 1 および第 2 の半導体ウェハはともに (1 0 0) ウェハであって、結晶方位表示部同士が互いに 45° または 135° ずれているので、第 1 および第 2 の半導体ウェハの一方を支持基板側ウェハとし、他方をデバイス形成側ウェハとしたときに、支持基板側ウェハの劈開面である結晶面 { 1 1 0 } に沿って劈開して、デバイス形成側ウェハの結晶面 { 1 0 0 } を露出させることができる。

【 0 0 8 8 】

請求項 3 に記載の発明によれば、デバイス形成側ウェハの主表面には、ソース／ドレイン間のチャネル方向が結晶方位 $\langle 100 \rangle$ の方向に平行な MOS トランジスタを含む半導体装置が形成されているので、支持基板側ウェハの劈開面である結晶面 $\{110\}$ に沿って劈開したときに、デバイス形成側ウェハの結晶面 $\{100\}$ を露出させて、MOS トランジスタを含む半導体装置の断面構造を、チャネルやゲートの方向に対して直角または平行に見ることができる。そのため、例えばゲート幅の評価等を正確に行うことができる。

【 0 0 8 9 】

請求項 4 に記載の発明によれば、第 1 の半導体ウェハの主表面のうち第 2 の半導体ウェハの結晶方位表示部に露出した部分に印字が付されているので、第 2 の半導体ウェハの表面の方から半導体ウェハを見たときに印字を見ることができ、半導体ウェハの区別がつきやすい。また、第 1 の半導体ウェハの主表面のうち結晶方位表示部に露出した部分を印字スペースとして有効に利用することができる。

【 0 0 9 0 】

請求項 5 に記載の発明によれば、第 1 の半導体ウェハの結晶方位表示部と第 2 の半導体ウェハの結晶方位表示部とのなす角度が 180° であるので、半導体ウェハの検査工程等において、第 1 の半導体ウェハの結晶方位表示部を下側に揃えた状態で複数の半導体ウェハをケース内に収めたときに、ケース外から印字部分が見えやすく半導体ウェハの区別がつきやすい。

【 0 0 9 1 】

請求項 6 に記載の発明によれば、半導体ウェハは SOI ウェハであり、支持基板側ウェハの主表面のうち SOI 層用ウェハの結晶方位表示部に露出した部分に印字が付されるので、レーザーによる印字を行っても SOI 層の剥離が生じる可能性が少ない。

【 0 0 9 2 】

請求項 7 に記載の発明によれば、結晶方位が互いにずれた状態でバルク構造の第 1 および第 2 の半導体ウェハが貼り合わされているので、第 1 および第 2 の半導体ウェハの一方を支持基板側ウェハとし、他方をデバイス形成側ウェハとして

、支持基板側ウェハとデバイス形成側ウェハとで結晶方位を異ならしめることができる。

【0093】

請求項8に記載の発明によれば、第1および第2の半導体ウェハはともに(100)ウェハであって、結晶方位が互いに45°または135°ずれているので、第1および第2の半導体ウェハの一方を支持基板側ウェハとし、他方をデバイス形成側ウェハとしたときに、支持基板側ウェハの劈開面である結晶面{110}に沿って劈開して、デバイス形成側ウェハの結晶面{100}を露出させることができる。

【0094】

請求項9に記載の発明によれば、デバイス形成側ウェハの主表面には、ソース／ドレイン間のチャネル方向が結晶方位<100>の方向に平行なMOSトランジスタを含む半導体装置が形成されているので、支持基板側ウェハの劈開面である結晶面{110}に沿って劈開したときに、デバイス形成側ウェハの結晶面{100}を露出させて、MOSトランジスタやそれを含む半導体装置の断面構造を、チャネルやゲートの方向に対して直角または平行に見ることができる。そのため、例えばゲート幅の評価等を正確に行うことができる。

【0095】

請求項10に記載の発明によれば、請求項7に記載の半導体ウェハが得られる。

【0096】

請求項11に記載の発明によれば、請求項7に記載の半導体ウェハが得られる。

【0097】

請求項12に記載の発明によれば、凹部の端部に形成された凸部の位置と、ガイド部材に設けられた凸部の位置とが、所定の角度だけ互いにずれているので、第1および第2の半導体ウェハを所定の角度だけずらして貼り合わせることができ、請求項1に記載の半導体ウェハが得られる。

【図面の簡単な説明】

- 【図 1】 実施の形態 1 に係る半導体ウェハを示す上面図である。
- 【図 2】 実施の形態 1 に係る半導体ウェハを示す断面図である。
- 【図 3】 実施の形態 2 に係る半導体ウェハを示す上面図である。
- 【図 4】 実施の形態 2 に係る半導体ウェハを示す上面図である。
- 【図 5】 実施の形態 3 に係る半導体ウェハを示す上面図である。
- 【図 6】 実施の形態 3 に係る半導体ウェハを示す断面図である。
- 【図 7】 実施の形態 4 に係る半導体ウェハの製造方法の一工程を示す図である。
- 【図 8】 実施の形態 4 に係る半導体ウェハの製造方法の一工程を示す図である。
- 【図 9】 実施の形態 4 に係る半導体ウェハの製造方法の一工程を示す図である。
- 【図 1 0】 実施の形態 4 に係る半導体ウェハの製造方法の一工程を示す図である。
- 【図 1 1】 実施の形態 4 に係る半導体ウェハの製造方法の一工程を示す図である。
- 【図 1 2】 実施の形態 4 に係る半導体ウェハの製造方法の一工程を示す図である。
- 【図 1 3】 実施の形態 4 に係る半導体ウェハの製造方法の一工程を示す図である。
- 【図 1 4】 実施の形態 4 に係る半導体ウェハの製造方法の一工程を示す図である。
- 【図 1 5】 実施の形態 4 に係る半導体ウェハの製造方法において用いられる製造装置を示す上面図である。
- 【図 1 6】 実施の形態 4 に係る半導体ウェハの製造方法において用いられる製造装置を示す断面図である。
- 【図 1 7】 従来の半導体ウェハを示す上面図である。
- 【図 1 8】 従来の半導体ウェハを示す断面図である。
- 【図 1 9】 従来の半導体ウェハの問題を示す図である。

【図 2 0】 従来の半導体ウェハの問題を示す図である。

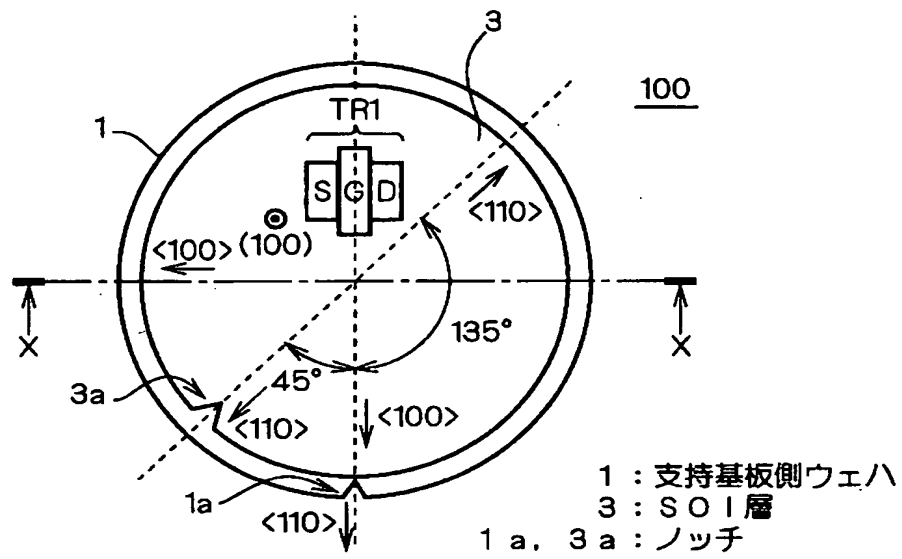
【図 2 1】 従来の半導体ウェハの問題を示す図である。

【符号の説明】

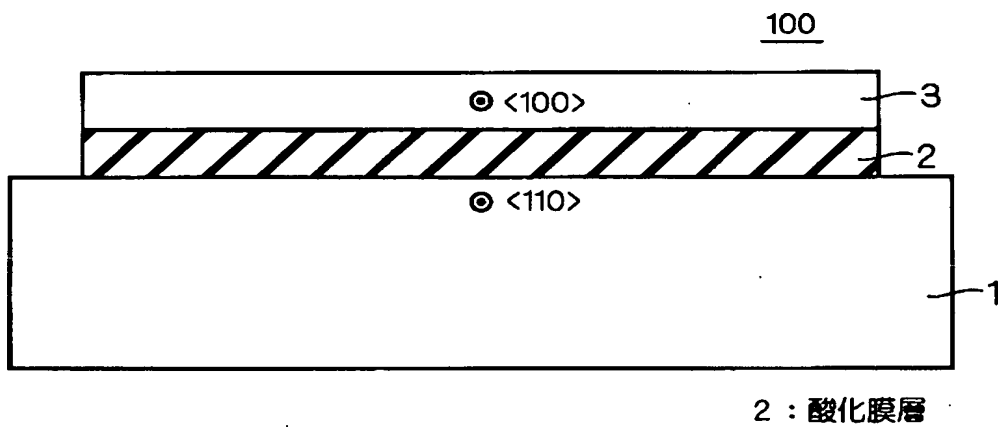
1, 1 1 支持基板側ウェハ、2 酸化膜層、3, 3 1 S O I 層、3 2 デバイス形成層、1 a, 3 a, 3 2 a ノッチ、3 1 a オリエンテーションフラット、3 2 0, 3 2 1 デバイス形成側ウェハ、T R 1 M O S トランジスタ、L S 印字、H D 支持台、H L 凹部、H L a 凸部、G D 2 ウェハガイド、G D 1 凸部、D F 結晶欠陥層、P S 多孔質シリコン層。

【書類名】 図面

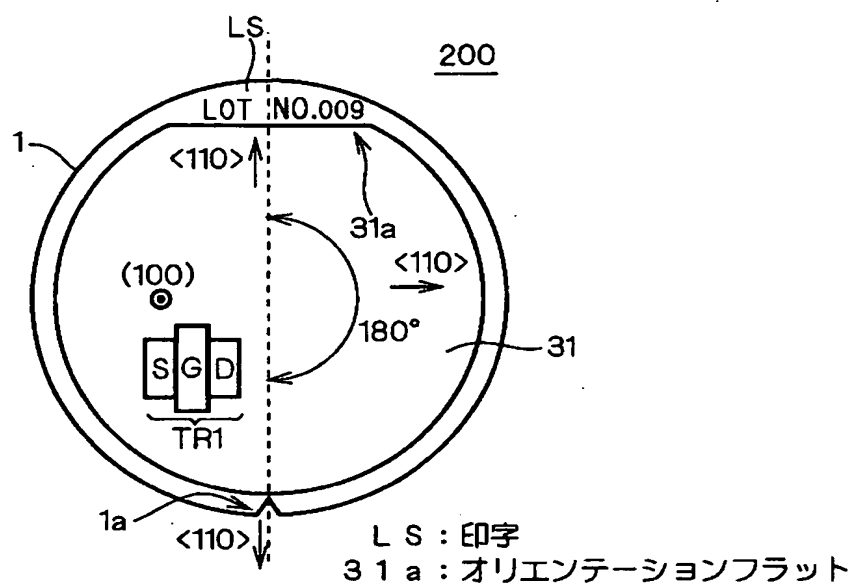
【図 1】



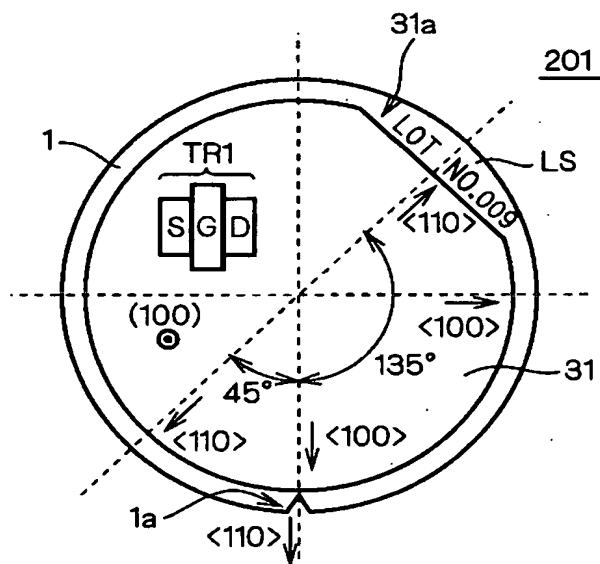
【図 2】



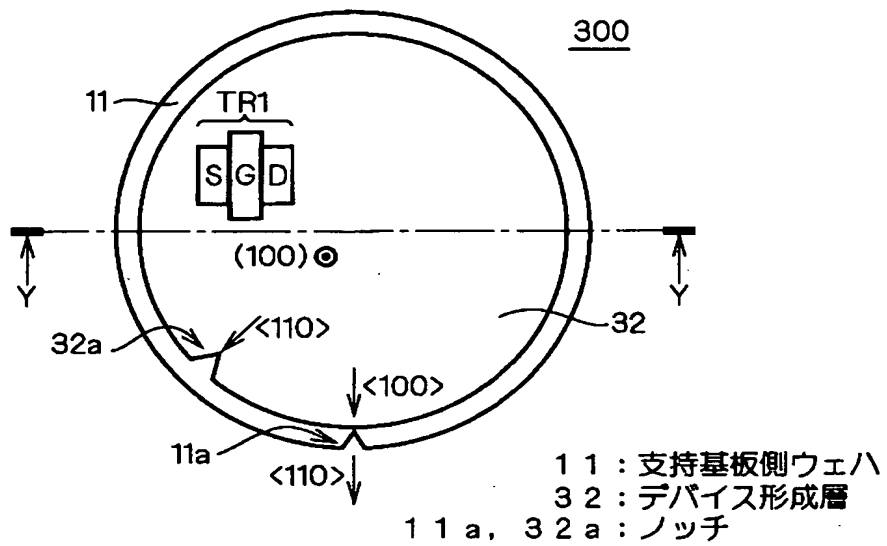
【図 3】



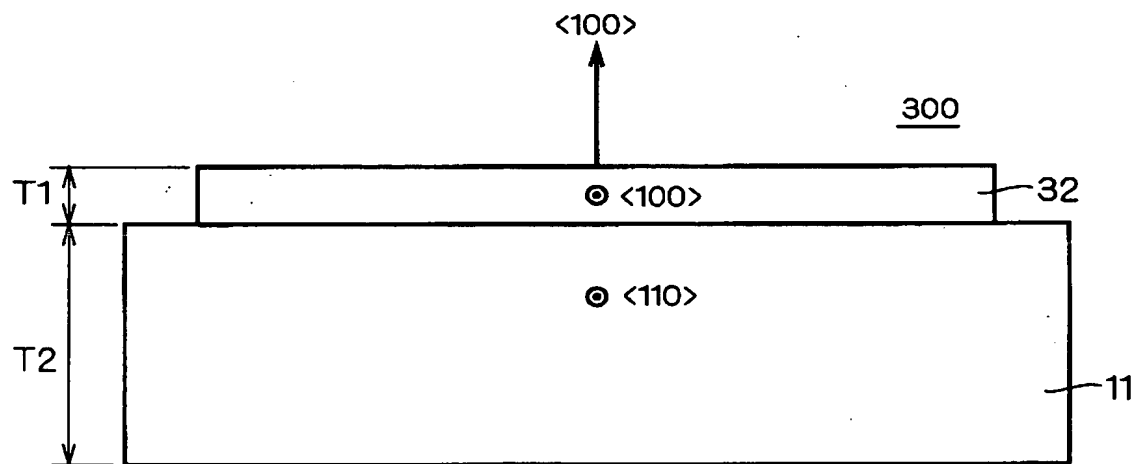
【図 4】



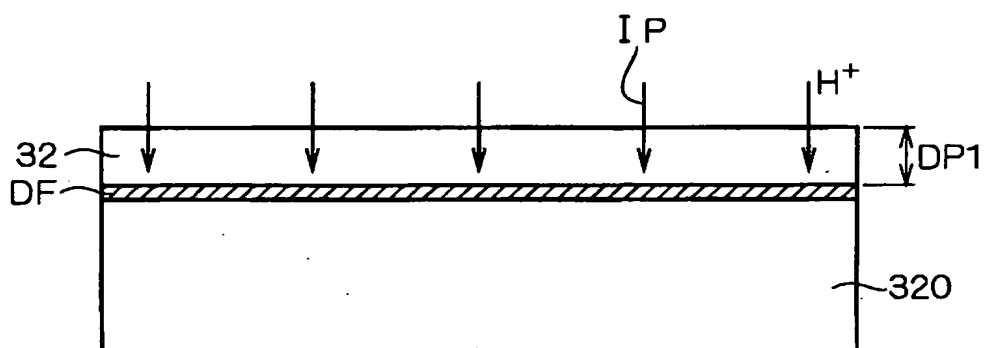
【図 5】



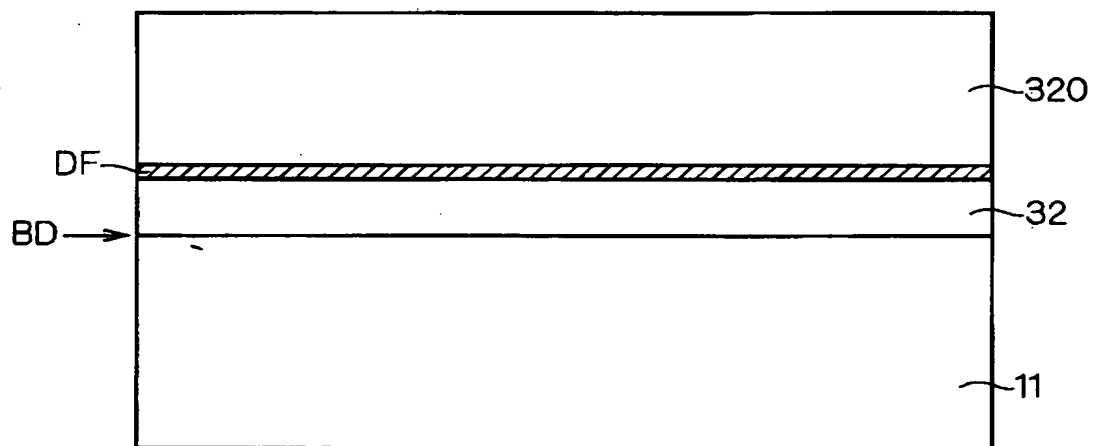
【図 6】



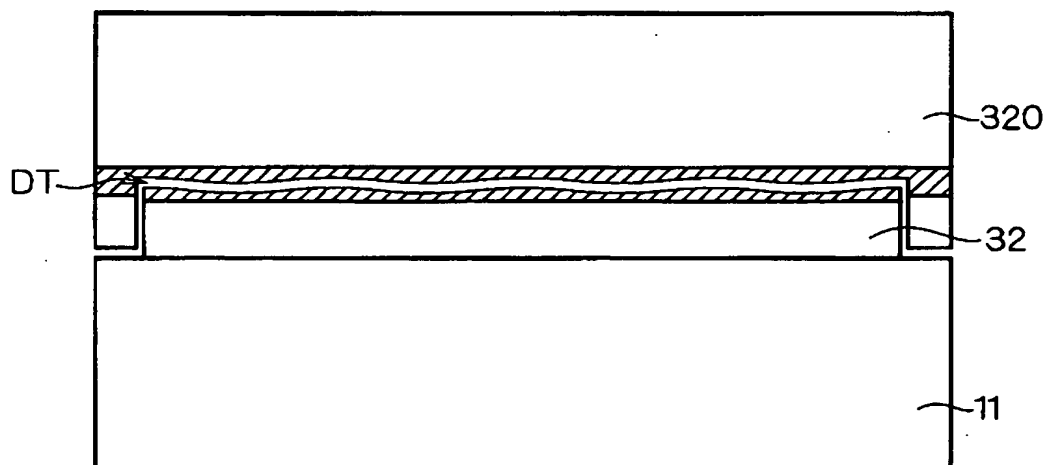
【図 7】



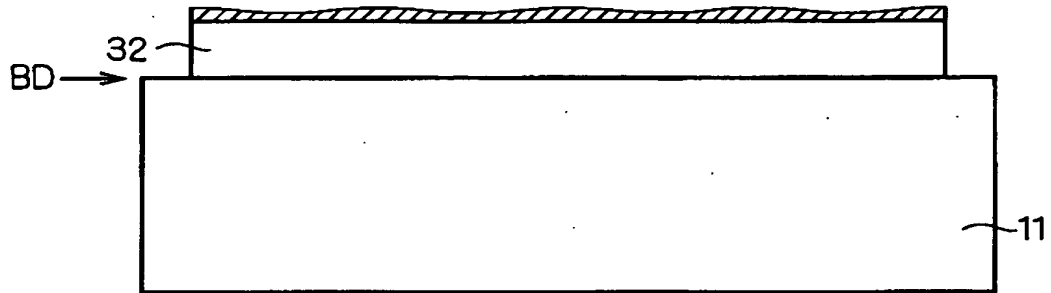
【図 8】



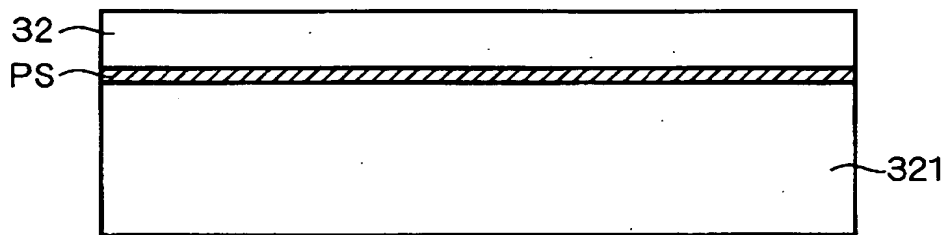
【図 9】



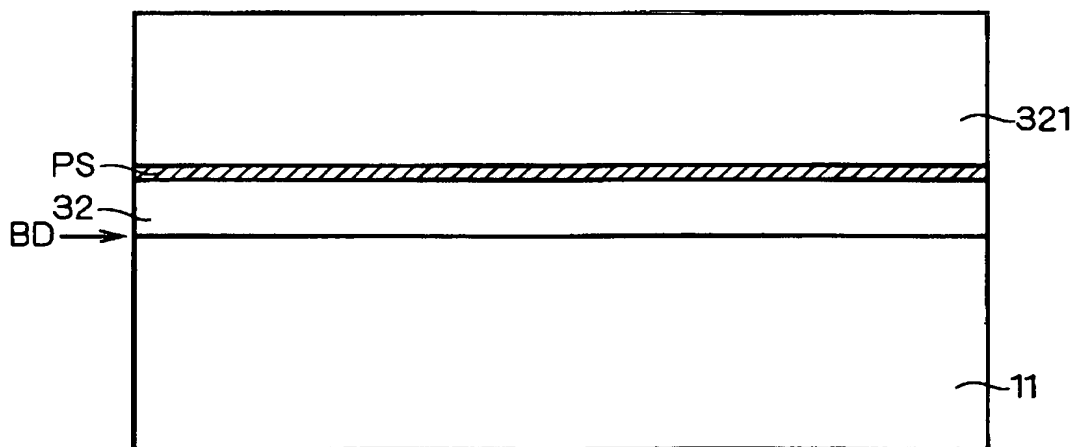
【図 1 0】



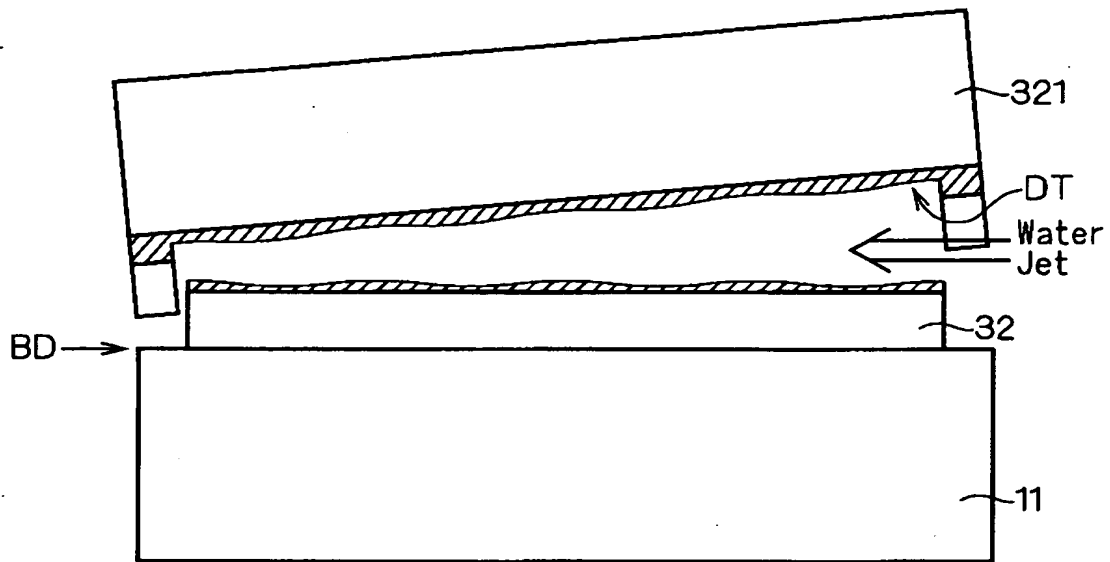
【図 1 1】



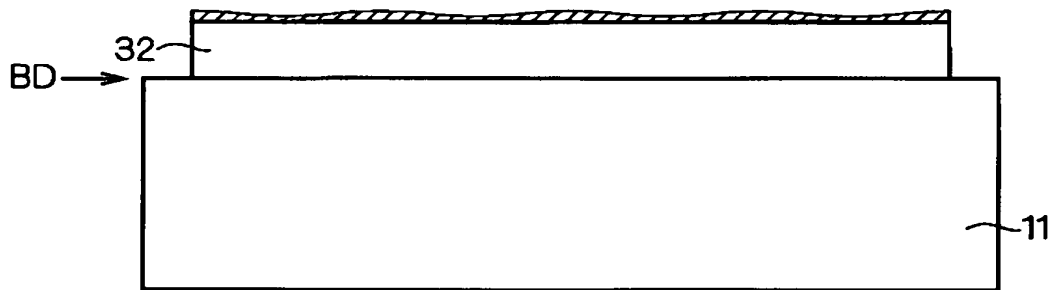
【図 1 2】



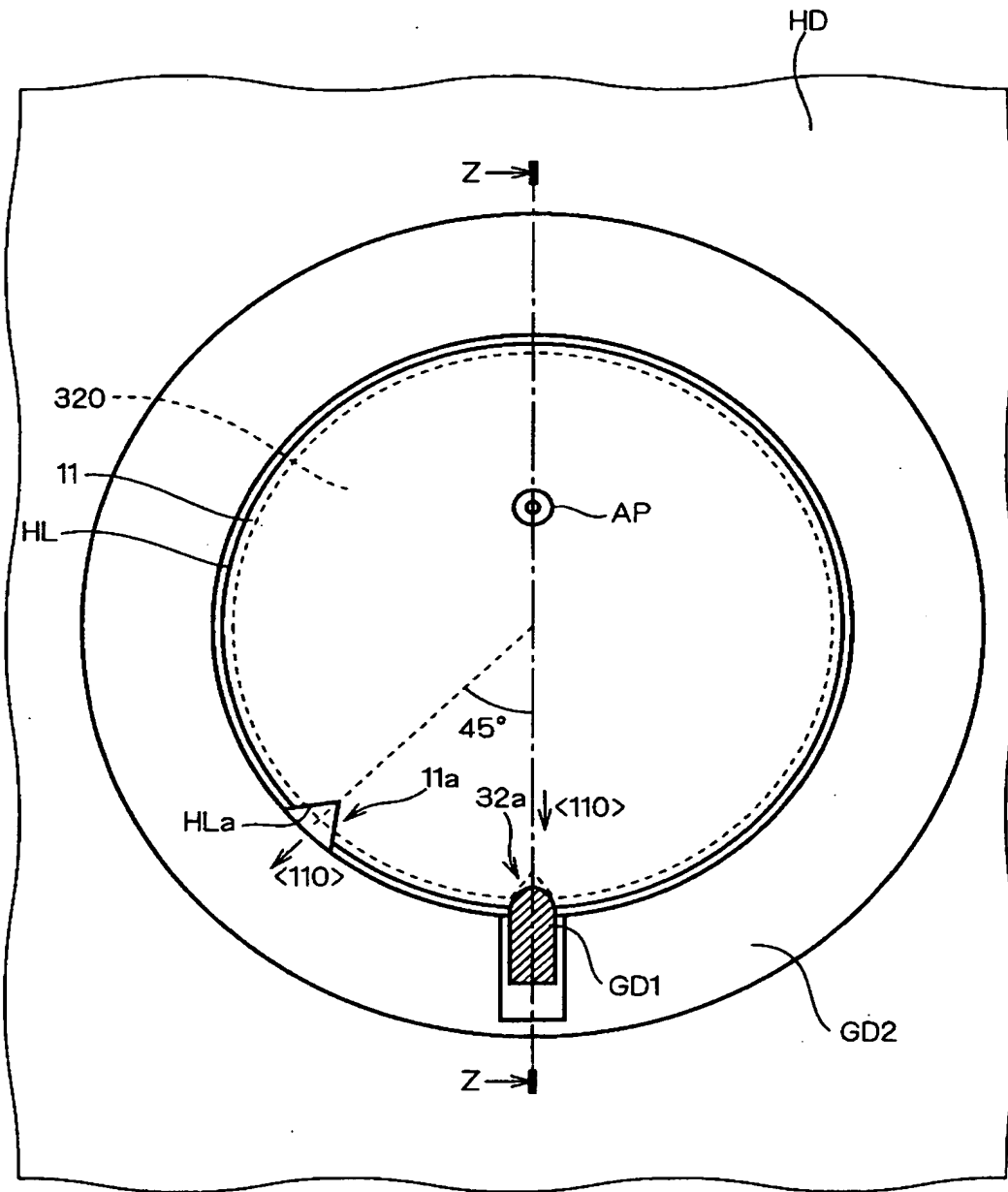
【図 1 3】



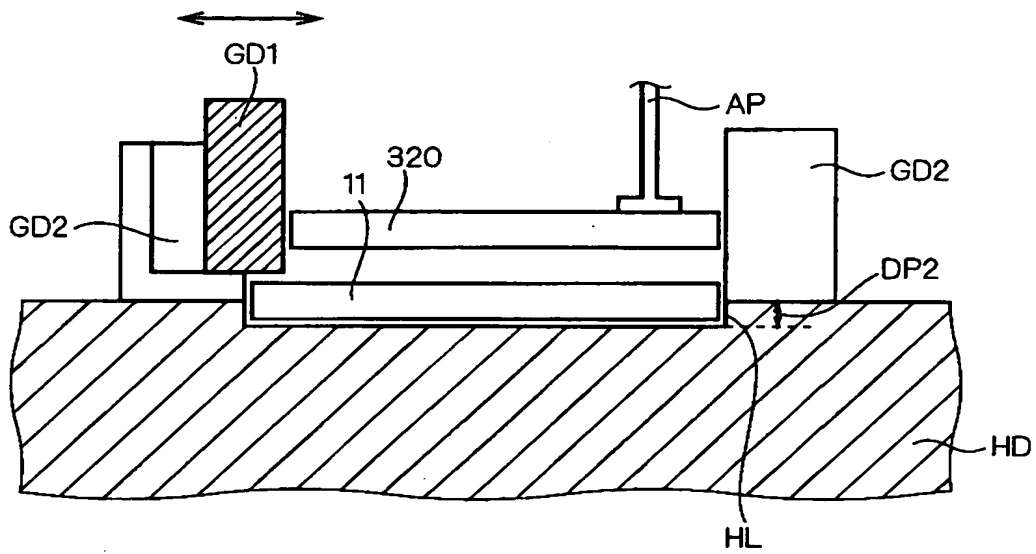
【図 1 4】



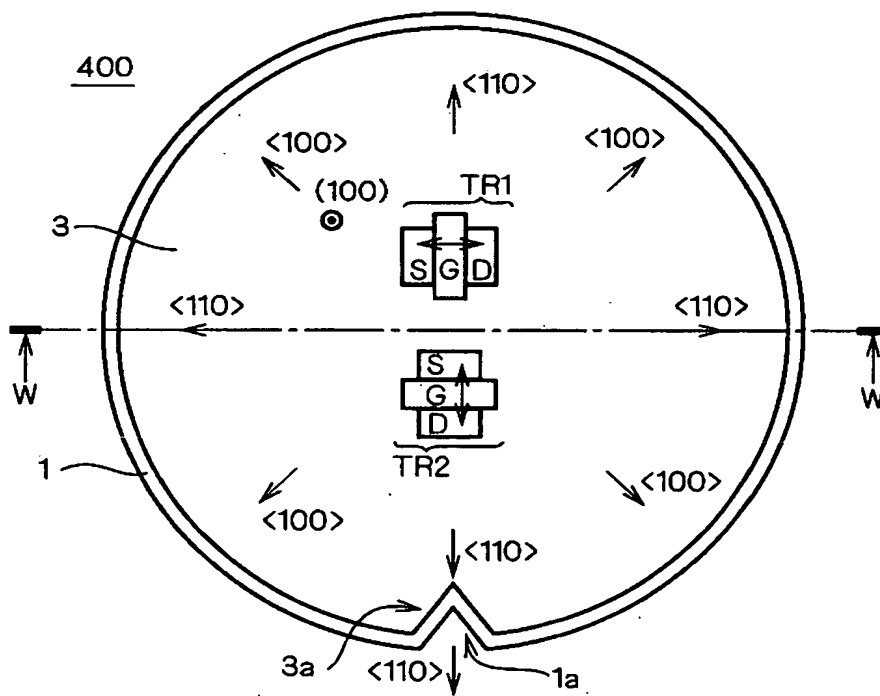
【図 15】



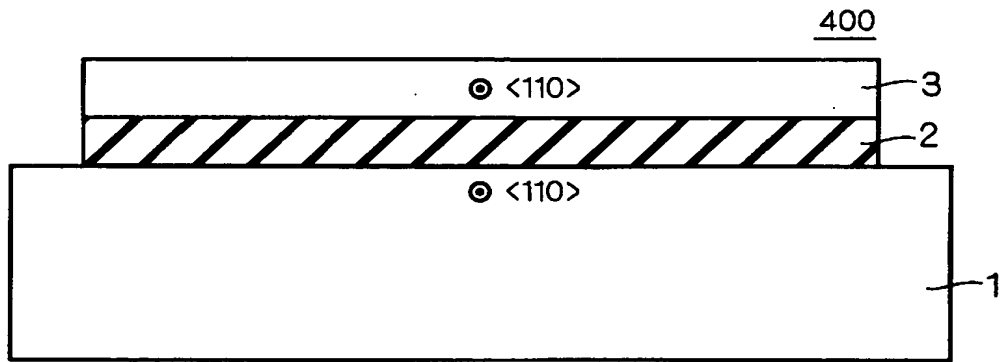
【図 16】



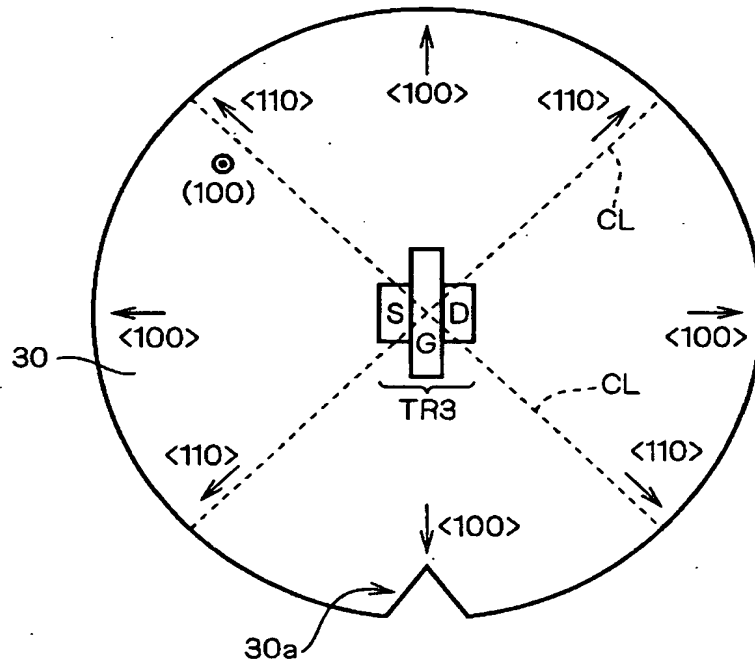
【図 17】



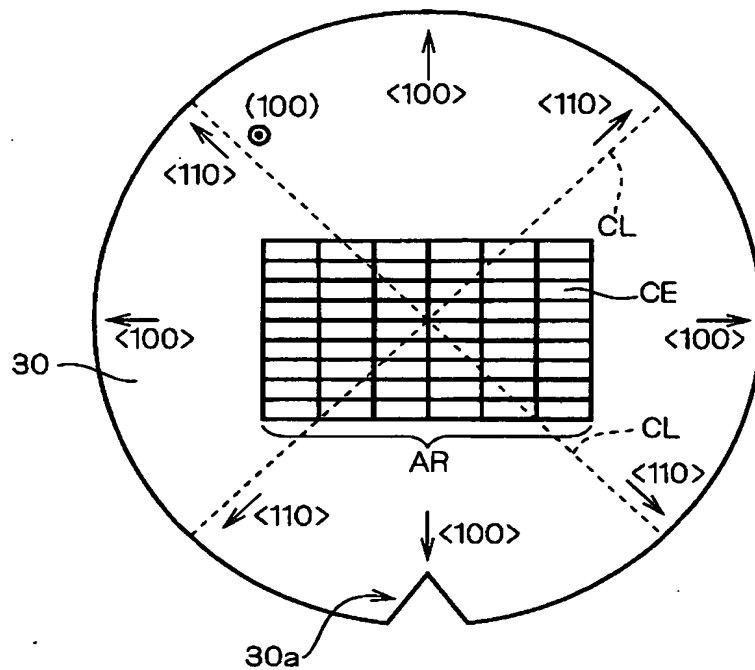
【図 1 8】



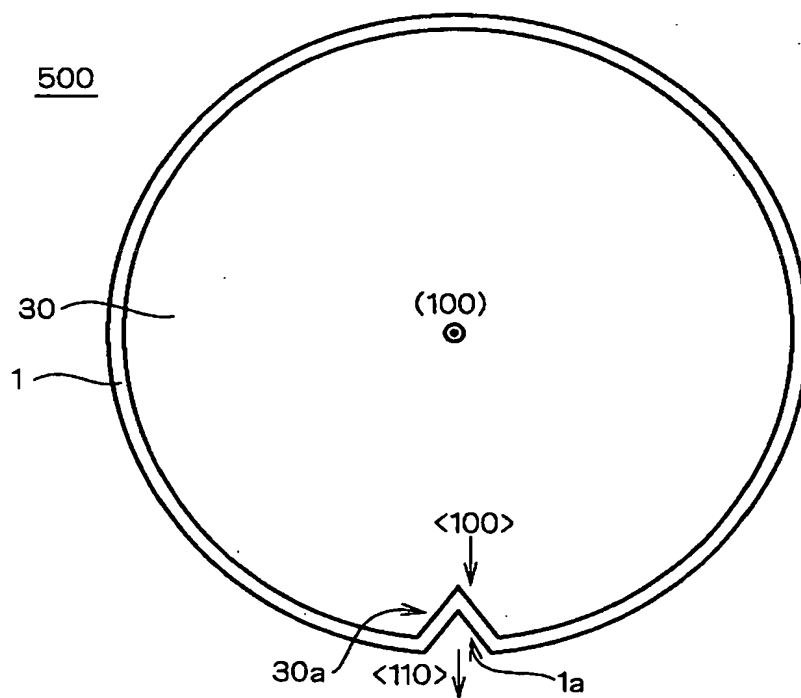
【図 1 9】



【図 2 0】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 支持基板側ウェハとデバイス形成側ウェハとで結晶方位がずれた半導体ウェハであって、ノッチやオリエンテーションフラットの付される結晶方位が異なる 2 種類のウェハを用意しなくてもよいものを提供する。

【解決手段】 同じ結晶方位 $\langle 110 \rangle$ にノッチやオリエンテーションフラットが付された 2 枚の半導体ウェハの一方を支持基板側ウェハ 1 とし、他方をデバイス形成側ウェハとして、ノッチやオリエンテーションフラット同士が互いにずれた状態で（例えばデバイス形成側ウェハの結晶方位 $\langle 100 \rangle$ と支持基板側ウェハ 1 の結晶方位 $\langle 110 \rangle$ とが同方向となるように）両ウェハを貼り合わせる。そしてデバイス形成側ウェハを分割して SOI 層 3 とし、SOI 層 3 に MOS トランジスタ TR 1 等を形成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社